



PATENT ABSTRACTS OF JAPAN

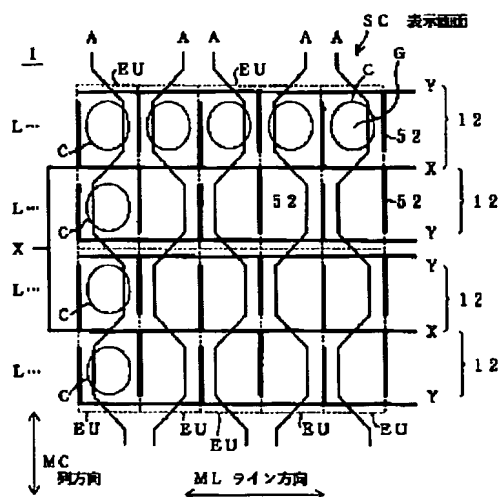
(11) Publication number: **09231907 A**(43) Date of publication of application: **05 . 09 . 97**(51) Int. Cl. **H01J 11/00**
H01J 11/02(21) Application number: **08033397**(22) Date of filing: **21 . 02 . 96**(71) Applicant: **FUJITSU LTD**(72) Inventor: **NAMIKI FUMIHIRO**
TOYODA OSAMU
KOSAKA TADAYOSHI
BETSUI KEIICHI(54) **PLASMA DISPLAY PANEL**

(57) Abstract:

PROBLEM TO BE SOLVED: To prolong the lifetime by reducing the concentrated discharge, and to realize a high luminance display.

SOLUTION: This plasma display panel 1 includes several first sustain electrodes X and several second sustain electrodes Y which are arranged in a display screen SC along a row direction MC, and also includes several, address electrodes A which are arranged along a line direction ML. In this case, the two second sustain electrodes Y are respectively arranged in arrangement interstices between the first sustain electrodes X, and a discharge gap G extending in a direction intersecting the line direction MC is formed in each of an unit luminescent region EU so that the sustain discharge is produced between the first sustain electrode X and the second sustain electrode Y adjacent thereto.

COPYRIGHT: (C)1997,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-231907

(43)公開日 平成9年(1997)9月5日

(51)Int.Cl.⁶H 0 1 J 11/00
11/02

識別記号

庁内整理番号

F I

H 0 1 J 11/00
11/02

技術表示箇所

K
B

審査請求 未請求 請求項の数5 O L (全 7 頁)

(21)出願番号

特願平8-33397

(22)出願日

平成8年(1996)2月21日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 並木 文博

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 豊田 治

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74)代理人 弁理士 久保 幸雄

最終頁に続く

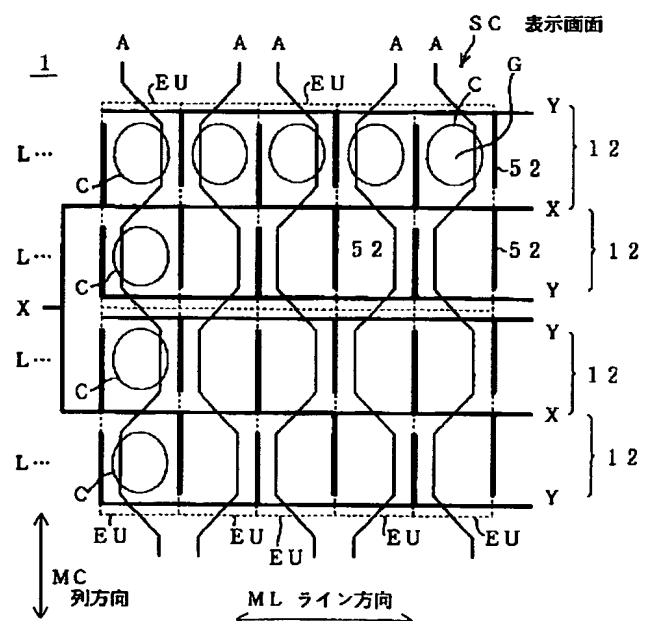
(54)【発明の名称】 プラズマディスプレイパネル

(57)【要約】

【課題】放電の集中を緩和して寿命を延ばすとともに、表示の高輝度化を図ることを目的とする。

【解決手段】表示画面S C内に列方向M Cに沿って複数の第1サステイン電極Xと複数の第2サステイン電極Yとが配列され、行方向M Lに沿って複数のアドレス電極Aが配列されたマトリクス表示形式のP D P 1において、第1サステイン電極Xどうしの配列間隙に第2サステイン電極Yを2本ずつ配列し、隣接する第1サステイン電極Xと第2サステイン電極Yとの間でサステイン放電が生じるように、行方向M Cと交差する方向に延びる放電ギャップGを単位発光領域E U毎に形成する。

本発明のP D Pの電極マトリクスの基本構成を示す平面図



【特許請求の範囲】

【請求項1】表示画面内に列方向に沿って複数の第1サステイン電極と複数の第2サステイン電極とが配列され、行方向に沿って複数のアドレス電極が配列されたマトリクス表示形式のプラズマディスプレイパネルであって、

第1サステイン電極どうしの配列間隙に第2サステイン電極が2本ずつ配列されており、隣接する第1サステイン電極と第2サステイン電極との間でサステイン放電が生じるように、前記行方向と交差する方向に延びる放電ギャップが単位発光領域毎に形成されてなることを特徴とするプラズマディスプレイパネル。

【請求項2】前記各第1サステイン電極及び前記各第2サステイン電極が、前記表示画面の全長に渡って前記行方向に延びる帯状の基部と、当該基部から前記列方向に張り出した複数の枝部とから構成され、

前記第1サステイン電極の前記各枝部が、前記列方向における前記基部の一方側と他方側とに前記単位発光領域毎に交互に配置されており、

前記第1サステイン電極の前記枝部と、前記第2サステイン電極の前記枝部とによって前記放電ギャップが形成されてなる請求項1記載のプラズマディスプレイパネル。

【請求項3】前記各第1サステイン電極及び前記各第2サステイン電極の前記枝部が、当該枝部に対応した前記基部と連続する幅小部と、当該幅小部に対して前記行方向の両側に張り出し且つ当該基部から離れた膨大部とから構成され、

前記第1サステイン電極の前記膨大部と、前記第2サステイン電極の前記膨大部とによって前記放電ギャップが形成されてなる請求項2記載のプラズマディスプレイパネル。

【請求項4】前記アドレス電極が、前記列方向に並ぶ単位発光領域の全てを通過し、平面視において当該各単位発光領域内の前記第2サステイン電極の前記枝部と重なり且つ前記第1サステイン電極の前記枝部と重ならないように蛇行した帯状にパターンニングされてなる請求項3記載のプラズマディスプレイパネル。

【請求項5】前記各放電ギャップが、前記列方向及び前記行方向の双方に対して傾斜した方向に延びてなる請求項1乃至請求項4のいずれかに記載のプラズマディスプレイパネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、面放電セルを画定する電極対を有したマトリクス表示形式のAC型のPDP（プラズマディスプレイパネル）に関する。

【0002】選択発光に壁電荷を利用するAC駆動形式のPDPの内、特に面放電型PDPは蛍光体によるカラ

ー表示に適しており、ハイビジョン用の大画面表示デバイスとして注目されている。

【0003】

【従来の技術】図5は従来の面放電型PDP80の電極構造を模式的に示す平面図、図6は従来の面放電型PDP80の内部構造を示す分解斜視図である。

【0004】PDP80は、互いに平行に延びる直線状のサステイン電極（主電極） X_j 、 Y_j からなる複数の電極対12jと、サステイン電極 X_j 、 Y_j と直交する複数の直線状のアドレス電極 A_j とを有する。各電極対12jはマトリクス表示の1ライン（行）Lに対応し、各アドレス電極 A_j は1列に対応する。

【0005】サステイン電極 X_j 、 Y_j は、各ラインLにおいて面放電ギャップGを挟んで隣接するように列方向に交互に配列されている。ただし、ライン間の電極間隔dは面放電ギャップGのギャップ幅（電極間距離）gより十分に大きい。

【0006】このように配列されたサステイン電極 X_j 、 Y_j の内、一方のサステイン電極 X_j は、駆動回路の簡化のために複数のラインL間で電氣的に共通化されている。他方のサステイン電極 Y_j は、ライン順次の画面走査を可能とするために、1ラインずつ独立した個別電極とされている。各ラインLでは、サステイン電極 X_j 、 Y_j によってサブピクセル（単位発光領域）EU毎に面放電セルCjが画定される。そして、サステイン電極 Y_j とアドレス電極 A_j との間の放電によって各面放電セルCjの点灯（放電）又は非点灯の選択（アドレッシング）が行われる。

【0007】PDP80の使用に際しては、表示内容に応じたアドレッシングの後、全てのラインLについて一斉に、サステイン電極 X_j 、 Y_j に対して交互にサステインパルスを加する。すなわちAC駆動をする。サステイン電極 X_j とサステイン電極 Y_j との間の相対電位関係はサステインパルスの印加毎に反転する。サステインパルスの波高値（Vs）を放電開始電圧（Vf）より低く設定しておけば、アドレッシング終了時点で所定量の壁電荷が存在した面放電セルCjにおいてサステインパルスの印加毎に面放電が生じる。単位時間当たりのサステインパルスの印加回数を適当に設定することによって表示の輝度を調整することができる。

【0008】図6において、PDP80は、前面側のガラス基板11j、サステイン電極 X_j 、 Y_j 、AC駆動のための誘電体層17j、保護膜18j、背面側のガラス基板21j、アドレス電極 A_j 、平面視直線状の隔壁29j、及びフルカラー表示のための蛍光体層28jなどから構成されている。内部の放電空間30jは、隔壁29jによってライン方向（サステイン電極 X_j 、 Y_j の延長方向）にサブピクセルEU毎に区画され、且つその間隙寸法が規定されている。隔壁29jの配置パターンはいわゆるストライプパターンであり、放電空間30

jの内の各列に対応した部分は、全てのラインLに跨がって列方向に連続している。

【0009】サステイン電極Xj、Yjは、ガラス基板11jの内面に配列されており、それぞれが幅の広い透明導電膜41と導電性を確保するための金属膜42とから構成されている。透明導電膜41は、面放電が広がるように金属膜42より幅の広い帯状にパターンニングされている。

【0010】蛍光体層28jは、サステイン電極Xj、Yjから遠ざけて面放電によるイオン衝撃を軽減するために背面側のガラス基板21j上の各隔壁29jの間に設けられており、面放電で生じた紫外線によって局部的に励起されて発光する。蛍光体層28jの表面層（放電空間と接する面）で発光した可視光の内、ガラス基板11jを透過する光が表示光となる。

【0011】マトリクス表示のピクセル（画素）EGは、ライン方向に並ぶ3つのサブピクセルEUからなる。これら発光色（R、G、B）は互いに異なり、R、G、Bの組み合わせでカラー表示が行われる。ピクセルEGの形状としては、画像再現の上で正方形が好ましい。ピクセルEGを正方形とした場合、サブピクセルEUは列方向に長い四角形となる。

【0012】

【発明が解決しようとする課題】従来の電極構造では、面放電ギャップGjがライン方向に延びており、各サブピクセルEUにおける面放電ギャップGjのギャップ長（ライン方向の長さ）glが短いことから、面放電が過度に集中してイオン衝撃による保護膜18jの劣化が進み易いという問題があった。ギャップ長glは、隔壁29jの幅の分だけサブピクセルEUのライン方向の寸法より短い。

【0013】また、紫外線の強度が面放電ギャップGjから遠くなるにつれて小さくなることから、蛍光体層28jの励起がサブピクセルEUにおける列方向の中央部に限られていた。つまり、サブピクセルEUにおける非発光領域の占める割合が大きく、発光効率が低いという問題もあった。

【0014】本発明は、放電の集中を緩和して寿命を延ばすとともに、表示の高輝度化を図ることを目的としている。

【0015】

【課題を解決するための手段】ギャップ長glを増大すれば、放電の集中が緩和され且つ有効発光領域が拡大される。上述したように単位発光領域（PDP80ではサブピクセルEU）が列方向に長い場合、ライン方向ではなく列方向に延びた面放電ギャップを設けることにより、ギャップ長glの増大が可能である。すなわち、各サステイン電極を櫛状とし、各単位発光領域において一方のサステイン電極の櫛歯と他方のサステイン電極の櫛歯とがギャップ幅gwを隔てて隣接するように設ければ

よい。ただし、列方向におけるサステイン電極の配列順序を従来と同様の順序（1本ずつ交互）としたのでは、隣接するラインLの間でのサステインパルスによる放電を避けるために電極間隔dを十分に大きくしなければならないので、ギャップ長glの大幅な増大は望めない。配列順序の工夫が必要である。

【0016】請求項1の発明のPDPは、表示画面内に列方向に沿って複数の第1サステイン電極と複数の第2サステイン電極とが配列され、行方向に沿って複数のアドレス電極が配列されたマトリクス表示形式のPDPであって、第1サステイン電極どうしの配列間隙に第2サステイン電極が2本ずつ配列されており、隣接する第1サステイン電極と第2サステイン電極との間でサステイン放電が生じるように、前記行方向と交差する方向に延びる放電ギャップが単位発光領域毎に形成されてなる。

【0017】請求項2の発明のPDPは、前記各第1サステイン電極及び前記各第2サステイン電極が、前記表示画面の全長に渡って前記行方向に延びる帯状の基部と、当該基部から前記列方向に張り出した複数の枝部とから構成され、前記第1サステイン電極の前記各枝部が、前記列方向における前記基部の一方側と他方側とに前記単位発光領域毎に交互に配置されており、前記第1サステイン電極の前記枝部と、前記第2サステイン電極の前記枝部とによって前記放電ギャップが形成されてなる。

【0018】請求項3の発明のPDPは、前記各第1サステイン電極及び前記各第2サステイン電極の前記枝部が、当該枝部に対応した前記基部と連続する幅小部と、当該幅小部に対して前記行方向の両側に張り出し且つ当該基部から離れた膨大部とから構成され、前記第1サステイン電極の前記膨大部と、前記第2サステイン電極の前記膨大部とによって前記放電ギャップが形成されてなる。

【0019】ここでいう「対応した前記基部」とは、注目する枝部が属する第1サステイン電極（又は第2サステイン電極）の基部を意味する。請求項4の発明のPDPは、前記アドレス電極が、前記列方向に並ぶ単位発光領域の全てを通過し、平面視において当該各単位発光領域内の前記第2サステイン電極の前記枝部と重なり且つ前記第1サステイン電極の前記枝部と重ならないように蛇行した帯状にパターンニングされてなる。

【0020】請求項5の発明のPDPは、前記各放電ギャップが、前記列方向及び前記行方向の双方に対して傾斜した方向に延びてなる。各第1サステイン電極は、隣接する2つの行（ライン）の表示に共用される。ただし、電極配列の両端である場合は1つのラインの表示に用いられる。各第2サステイン電極は、1つのラインの表示に用いられる。

【0021】列方向の電極配列の一番目の電極は、第1サステイン電極でも第2サステイン電極でもよい。例え

10

20

30

40

50

ば第1サステイン電極を一番目の電極とした場合には、第1サステイン電極（「X」で表す）及び第2サステイン電極（「Y」で表す）の配列順序は、次の①又は②となる。

【0022】① X, Y, Y, X, Y, Y, X...X, Y
② X, Y, Y, X, Y, Y, X...X, Y, Y, X

【0023】

【発明の実施の形態】図1は本発明のPDP1の電極マトリクスの基本構成を示す平面図である。PDP1は、マトリクス表示形式の面放電型PDPであり、ライン方向MLに延びたサステイン電極X、Yからなる複数の電極対12と、列方向MCに延びた複数のアドレス電極Aとを有する。表示画面SCは縦横に並ぶサブピクセルEUからなる。図ではサブピクセル数は5×4個であるが、実際には例えば4.2インチサイズの場合で1920（＝640×3）×480個程度である。

【0024】サステイン電極X、Yの配列順序は、従来とは違ってY, X, Yの配列を繰り返すものである。サステイン電極Xの両側にサステイン電極Yが配置され、サステイン電極Xどうしの間には2本のサステイン電極Yが隣接配置されている。サステイン電極Xで挟まれた2本のサステイン電極Yの配列間隔e〔図2（A）参照〕は、これら電極を電気的に分離できる最小限の値（例えば20～30μm）であればよく、サブピクセルEUの列方向MCの長さ（例えば600μm）と比べて十分に小さい。各電極対12はマトリクス表示の1ラインLに対応する。ただし、サステイン電極Xは、隣接した2つのラインLの表示に共用される。つまり、サステイン電極Xは、列方向MCの一方側のサステイン電極Yとともに1つの電極対12を構成し、他方側のサステイン電極Yとともに他の1つの電極対12を構成する。各電極対12によって、ラインL内にサブピクセルEU毎に面放電セルCが画定される。各アドレス電極Aは1列に対応する。

【0025】サステイン電極X、Yは直線状ではなく、列方向MCに延びた枝部52を有している。サステイン電極Xの枝部52は、サブピクセルEU毎に列方向MCの一方側と他方側とに交互に配置されている。サステイン電極Yは、列方向MCの片側に枝部52を有した櫛状である。サステイン電極Yの枝部52は、サステイン電極Xの枝部52どうしの間間位置に配置されている。PDP1では、サステイン電極Xの枝部52とサステイン電極Yの枝部52によって各サブピクセルEUに1つずつ面放電ギャップGが形成されている。アドレス電極Aも直線状ではなく、各サブピクセルEUにおいてライン方向MLの中心からサステイン電極Yの枝部52の側に寄った位置を通過する蛇行した帯状にパターンニングされている。蛇行により、アドレッシングに必要な放電面積（アドレス電極Aとサステイン電極Yの対向面積）を確保しつつ、アドレス電極間の静電容量の低減を図るこ

とができる。

【0026】なお、駆動に際して、各サステイン電極Xは電気的に共通化される。これに対して、各サステイン電極Yは、ライン順次のアドレッシングを行うときには個別電極（いわゆる走査電極）として扱われる。サステイン期間では、全てのサステイン電極Yに対して一斉にサステインパルスが印加される。

【0027】図2はサステイン電極X、Yの要部拡大図である。図2（A）は枝部52の平面形状を示し、図2（B）は枝部52の構造を示している。図2（A）のように、サステイン電極Xは、表示画面の全長に渡って行方向に延びる帯状の基部51と、基部51から列方向に張り出した複数の枝部52とから構成されている。サステイン電極Yも同様に、基部51と複数の枝部52とから構成されている。以下の説明では、特に必要がない限り、電極構成についてはサステイン電極Xとサステイン電極Yとを区別しない。

【0028】各枝部52は、それが属する電極の基部51と接した幅小部61と、当該幅小部61に対して行方向の両側に張り出した膨大部62とから構成されている。膨大部62は、それが属する電極の基部51から幅小部61の列方向の長さkの分だけ離れ、他の電極の基部51から長さfだけ離れている。図2の例では、長さfは長さkと等しい。

【0029】面放電ギャップGは、サステイン電極Xの膨大部62とサステイン電極Yの膨大部62とによって形成されている。つまり、隣接する膨大部62の間隙がギャップ幅gであり、膨大部62の列方向の長さがギャップ長g1である。幅小部61を設けることにより、ライン間の面放電ギャップGの距離が長さkの2倍の長さだけ増大するので、列方向の放電の結合が起こりにくくなる。

【0030】図2（B）のように、枝部52は、基部51と同時に形成される金属膜412と、膨大部62を形成する平面視四角形の透明導電膜420とからなる。金属膜412は、枝部52の根元から先端付近まで延びており、その一部が透明導電膜420と重なっている。金属膜412の内、透明導電膜420と重ならない部分が幅小部61に対応する。

【0031】図3はPDP1の要部断面図であり、図2のV-V矢視方向の断面構造を示している。図3において、PDP1は、従来のPDP80と同様に蛍光体の配置形態の上で反射型と呼称されるAC駆動形式の面放電型PDPである。前面側のガラス基板11の内面に、サステイン電極X、Yが配列されており、これらサステイン電極X、Yを放電空間30に対して被覆するように誘電体層17が設けられている。誘電体層17の表面にはMgOからなる保護膜18が蒸着されている。誘電体層17及び保護膜18はともに透光性を有している。サステイン電極X、Yは、透明電極41と金属電極42とか

ら構成されている。

【0032】背面側のガラス基板21の内面に、各サステイン電極X、Yの内の金属膜412と重なるように平面視直線状の隔壁29が設けられている。隔壁29によって放電空間30がライン方向MLにサブピクセルEU毎に区画され、且つ放電空間30の間隙寸法が $150\mu\text{m}$ 程度に規定されている。隔壁29の幅は金属膜412の幅とほぼ等しい。各隔壁29の間に上述のアドレス電極Aが1本ずつ配置されている。各アドレス電極Aは、各サブピクセルEUにおいてサステイン電極Yの透明導電膜420と重なり、且つサステイン電極Yの透明導電膜420と重ならないようにパターンニングされている。これにより、アドレス電極Aとサステイン電極Yとの間で放電（対向放電）を生じさせて壁電荷を制御するアドレッシングの信頼性が高まっている。

【0033】アドレス電極Aの表面を含めて背面側の壁面を被覆するように、カラー表示のためのR、G、Bの3色の蛍光体層28R、28G、28Bが設けられている。PDP1においてはストライプパターンの隔壁29が設けられているので、R、G、Bの組み合わせによるフルカラー表示に際してサブピクセルEU間のクロストークが確実に防止される。ただし、サステイン電極X、Yが直線状である場合とは違って、枝部52によって面放電セルC（図1参照）が画定されるので、隔壁29を省いて内部構造の簡単化を図ることも可能である。隔壁29を省く場合は、スペーサを点在させて放電空間30の間隙寸法を規定する。

【0034】図4はサステイン電極構造の変形例を示す平面図である。図4においては、サステイン電極X、Yの枝部52bが、列方向MCに延びた直線状の金属膜412と台形の透明導電膜421とから構成されている。面放電ギャップGbは、隣接する透明導電膜421の斜辺どうしの対向間隙である。この場合には、面放電ギャップGbの延長方向が列方向MCに対して傾斜した方向であるので、列方向MCである場合よりもギャップ長g1が長い。

【0035】上述の実施形態においては、サステイン電極Xの枝部52、52bも、サステイン電極Yの枝部52、52bも列方向MCに沿って千鳥状に並ぶ。このため、一直線上に並ぶ場合と比べて、サステイン時における同極性の枝部52、52bどうしの間隙が増大するので、列方向MCの放電の結合が起こりにくい。ただし、電極構造は図示の例に限定されず、例えばサステイン電極Xを魚骨状、すなわちライン方向MLの同一位置で枝部52、52bが列方向MCの両側に張り出した形状としてもよい。その場合は、サステイン電極Xの基部51と*

*重なるように列方向MCに延びる隔壁を設け、サステイン電極Xを挟むライン間における放電の結合を防止するのが望ましい。また、金属膜412を設けずに、透明導電材料のみによって枝部52、52bを形成してもよい。

【0036】

【発明の効果】請求項1乃至請求項5の発明によれば、放電の集中を緩和して寿命を延ばすことができ、しかも従来と同様の駆動シーケンスで高輝度の表示を実現することができる。

【0037】請求項2の発明によれば、列方向に隣接した2つの放電ギャップの間における同一極性のサステイン電極どうしの距離が増大するので、列方向の放電の結合を防止することができる。

【0038】請求項3の発明によれば、列方向に隣接する放電ギャップどうしの距離が増大するので、列方向の放電の結合をより確実に防止することができる。請求項4の発明によれば、アドレス電極間の静電容量を低減し、駆動の容易化を図ることができる。

【0039】請求項5の発明によれば、面積が限られた単位発光領域において放電ギャップをより長くすることができ、輝度の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明のPDPの電極マトリクスの基本構成を示す平面図である。

【図2】サステイン電極の要部拡大図である。

【図3】PDPの要部断面図である。

【図4】サステイン電極構造の変形例を示す平面図である。

【図5】従来の面放電型PDPの電極構造を模式的に示す平面図である。

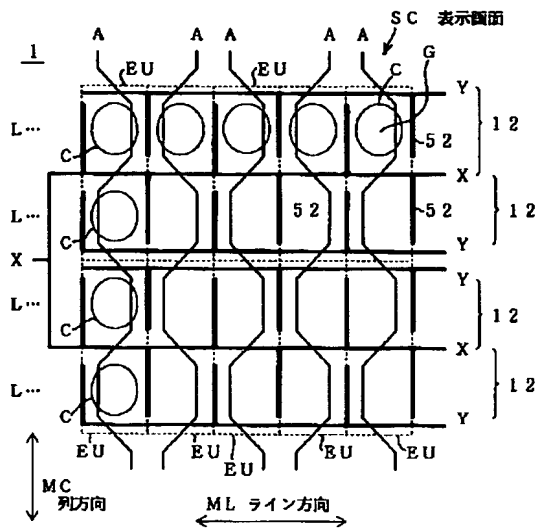
【図6】従来の面放電型PDPの内部構造を示す分解斜視図である。

【符号の説明】

- 1 PDP（プラズマディスプレイパネル）
- 51 基部
- 52 枝部
- 61 幅小部
- 62 膨大部
- 40 A アドレス電極
- EU サブピクセル（単位発光領域）
- G 面放電ギャップ（放電ギャップ）
- MC 列方向
- SC 表示画面
- X サステイン電極（第1サステイン電極）
- Y サステイン電極（第2サステイン電極）

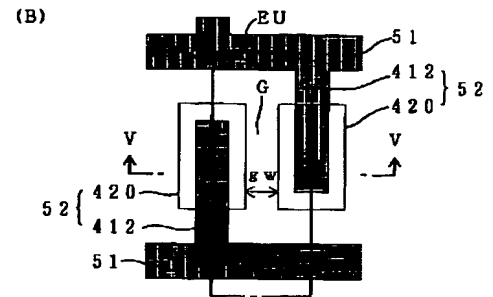
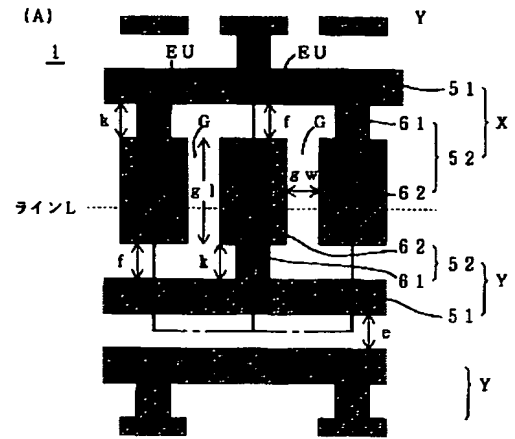
【図1】

本発明のPDPの電極マトリクスの基本構成を示す平面図



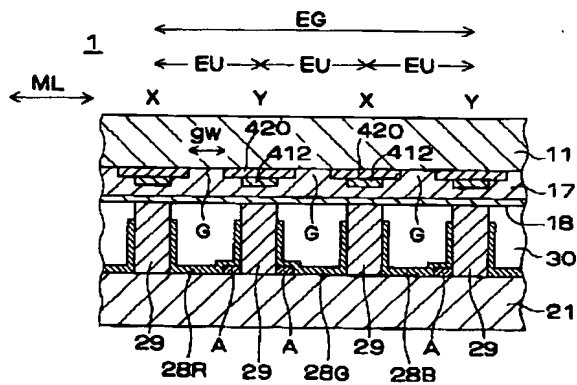
【図2】

サステイン電極の要部拡大図



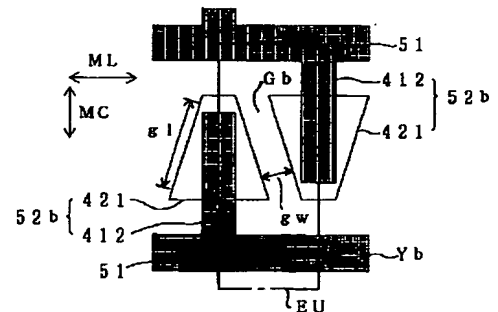
【図3】

PDPの要部断面図



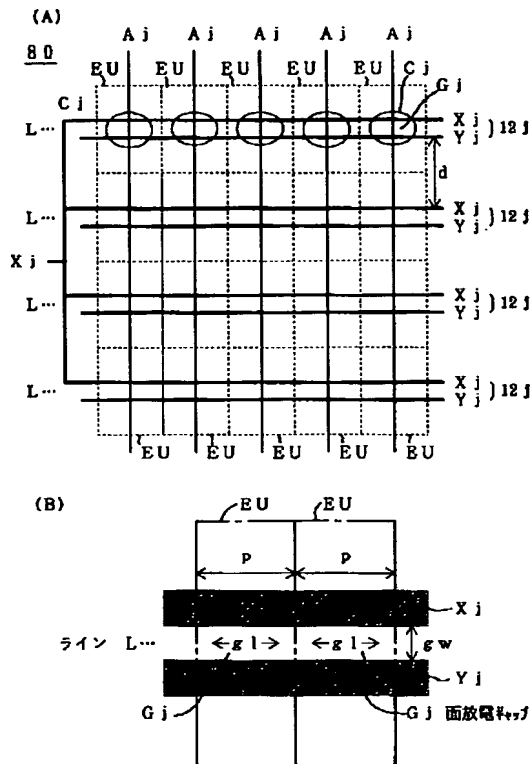
【図4】

サステイン電極構造の変形例を示す平面図



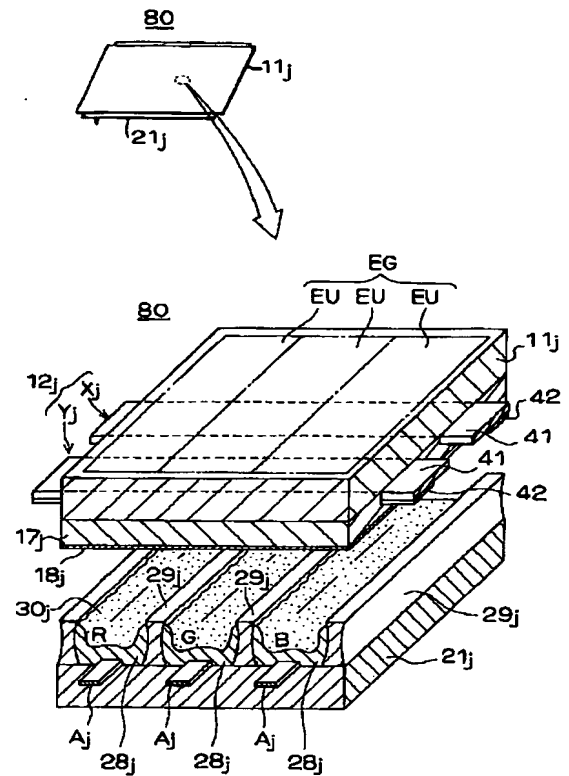
【図5】

従来の面放電型PDPの電極構成を模式的に示す平面図



【図6】

従来の面放電型PDPの内部構造を示す分解斜視図



フロントページの続き

(72)発明者 小坂 忠義
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 別井 圭一
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08095500 A**(43) Date of publication of application: **12 . 04 . 96**

(51) Int Cl **G09F 9/30**
G02F 1/1333
H01J 17/49

(21) Application number: **06232680**(22) Date of filing: **28 . 09 . 94**(71) Applicant: **NORITAKE CO LTD KYUSHU**
NORITAKE KK(72) Inventor: **HIROSHIMA MASAYUKI**
SAKAMOTO SUSUMU**(54) DISCHARGE DISPLAY DEVICE****(57) Abstract:**

PURPOSE: To provide a discharge display device of a type having an electrode structure to hardly occur electric discharge concentration and to enable setting of adequate inter-electrode distances at which driving with a low voltage is possible regardless of pixel densities.

CONSTITUTION: Discharge electrodes 36 are disposed in a laminar form in a part in the height direction of partition walls 22. On the other hand, these discharge electrodes 36 respectively have exposed end faces 32. Plural discharge projecting parts 34 are formed at equal intervals in the longitudinal direction of the wall surfaces 31 in such a manner that the distances between these end faces 31 are approximately equaled and, therefore, the discharge is executed exclusively between the end faces 32 when a prescribed discharge voltage is applied between the discharge electrodes 36 and 36. Even more, the inter-electrode distances of the plural discharge projecting parts 34 facing each other are approximately the same and, therefore, the discharge is uniformly executed between all of the discharge projecting parts 34 and the approximately uniform discharge is effected within prescribed discharge spaces 26. In addition, the distance between a pair of the discharge projecting parts 34 and 34 is settable regardless of the intervals of the partition walls 22

and, therefore, the adequate inter- electrode distances at which the driving with a low voltage is possible are settable regardless of the pixel densities.

COPYRIGHT: (C)1996,JPO

